

VHDL jezik za opis hardvera

Prof. Dr Predrag Petković

Doc. Dr Miljana Milić

Sadržaj

1. **Generici**
2. **Redosled izvršavanja naredbi**

1(a) Generici

Osnovna ideja:

Komanda:

```
z<=x and y after 5 ns;
```

označava tačno kašnjenje za 1 logičku operaciju. Različitim tehnologijama izrade log. kola mogu da odgovaraju različite vrednosti kašnjenja. Najbolje bi bilo da vrednost kašnjenja bude deklarirana kao *delay* odnosno kao:

```
z<=x and y after delay;
```

U ovom slučaju je *delay* parametar VHDL modela odnosno *generic*.



1(b) Generici

Opis AND2 logičkog kola je onda:

```
library IEEE;  
use IEEE.STD_LOGIC_1164.all;  
entity and2 is  
    generic (delay:time);  
    port (x,y:in bit; z:out bit);  
end entity and2;  
architecture ex2 of and2 is  
begin  
    z<=x and y after delay;  
end architecture ex2;
```

Kada se takvo kolo instancira u netlisti:

```
g2: and2 generic map (5 ns) port map  
(p,b,q);
```



2(a) Redosled izvršavanja naredbi

Osnovna ideja:



VHDL je namenjen za opis ponašanja u digitalnim sistemima.

Aktivnosti u hardveru odvijaju se, uglavnom, paralelno, konkurentno;

u opisu arhitekture nekog entiteta primenjuje se ista logika.

2(b) Redosled izvršavanja naredbi

Arhitektura može da sadrži više logičkih celina a da signali iz jedne ne utiču na stanja u ostalim i obrnuto.

U tim slučajevima signali i događaji iz jedne celine ne utiču na događaje u ostalima, odnosno prostiru se nezavisno, konkurentno, t.j. paralelno u vremenu.

2(c) Redosled izvršavanja naredbi

VHDL podržava dva osnovna metoda kroz koje se signalima unutar arhitekture dodeljuju vrednosti. To su:

- procesi (*process*) tj. Sekvencijalna dodela vrednosti signalima
- konkurentna dodela vrednosti signalima.

2(d) Redosled izvršavanja naredbi

U jednom istom trenutku **procesi** i **konkurentna** dodela vrednosti signalima obavlja se **paralelno**.

Zato i redosled njihovog navodjenja u okviru opisa arhitekture nije važan.

unutar arhitekture ⇔ konkurentno (paralelno)

2(e) Redosled izvršavanja naredbi

Primer:

```
architecture proba of
Opsti_primer is begin

    c2 <= ad OR ale;

    c1(0) <= rd AND wr(0);

    seq: process (wr(7))
begin.
.
.
    end process seq;

end architecture proba;
```

=

```
architecture proba of
Opsti_primer is begin

    c2 <= ad OR ale;

    seq: process (wr(7))
begin.
.
.
    end process seq;

    c1(0) <= rd AND
wr(0);

end
proba; architecture
```



2(f) Redosled izvršavanja naredbi

Postoji potreba da se opišu i sekvencijalni procesi (u kojima je redosled dodeljivanja vrednosti signala sekvencionalan).

Zato je ostavljena mogućnost da se unutar grupe naredbi koja se zove

PROCES (*PROCESS*)

vrednosti promenljivima dodeljuju u redosledu po kome su naredbe navedene.

2(g) Redosled izvršavanja naredbi

unutar procesa ↔ sekvencijalno (redno)

Zato je **redosled navodjenja naredbi**
unutar **procesa veoma bitan**

2(h) Redosled izvršavanja naredbi

Primer:

```
architecture proba of
Opsti_primer is
begin
  seq: process
    (ad, ale, rd, wr)
  begin

    c2 <= ad OR ale;

    c2 <= rd AND wr(0);

  end process;
end proba;
```

≠

```
architecture proba of
Opsti_primer is
begin
  seq: process
    (ad, ale, rd, wr)
  begin

    c2 <= rd AND wr(0);

    c2 <= ad OR ale;

  end process;
end proba;
```



2(f) Redosled izvršavanja naredbi

VHDL dozvoljava sekvencijalno izvršavanje naredbi u procesima i potprogramima.

Sledeće naredbe se mogu koristiti samo u okviru procesa.

If *Process* (lista osetljivosti)

Case

Wait

Loop: for, while ...

U proces se **ulazi** događajem tj. promenom bilo kog signala iz liste osetljivosti.

Iz procesa se **izlazi** kada se izvrši i poslednja naredba u procesu, ili kada se naidje na

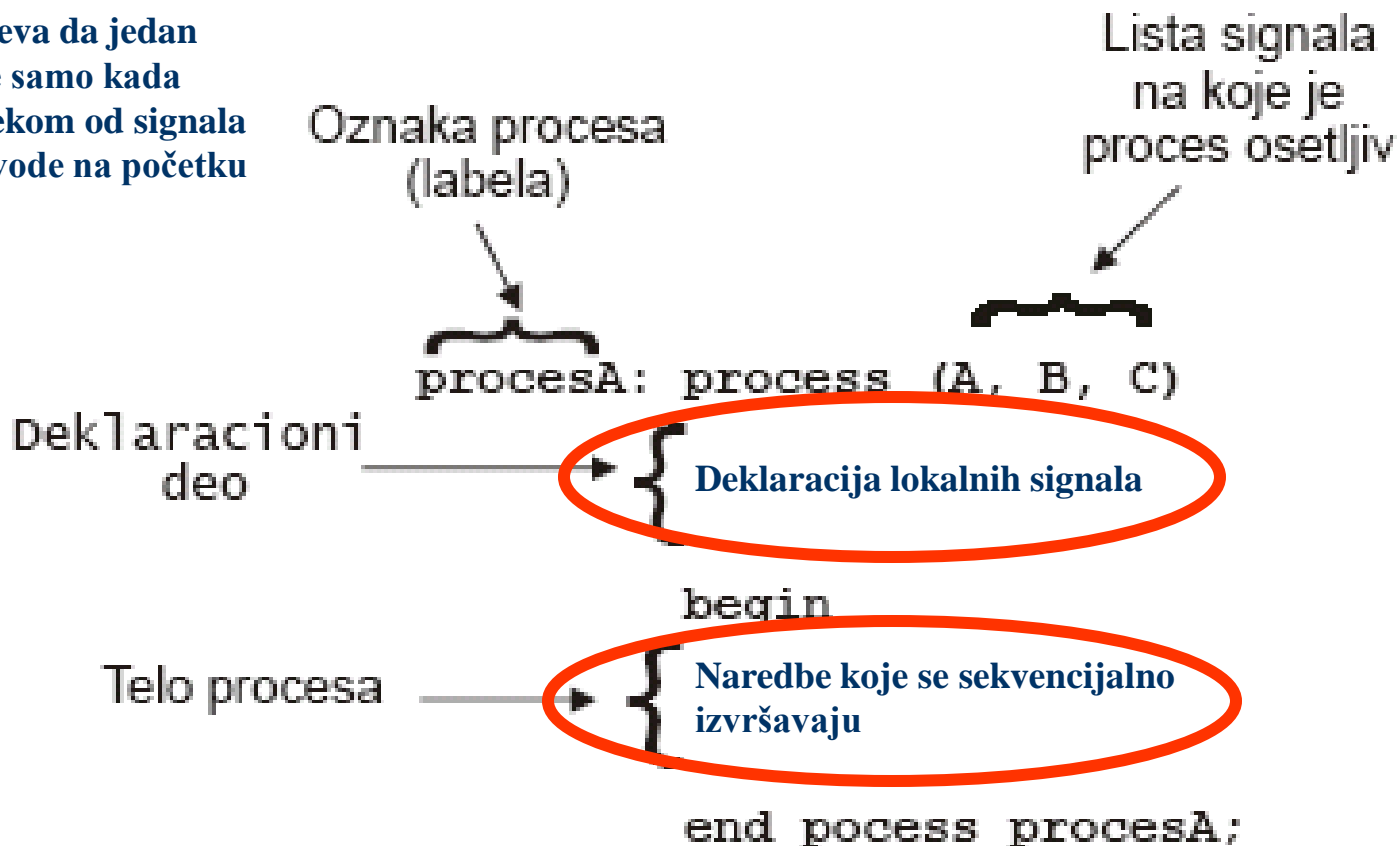
wait. (tada ne postoji lista osetljivosti)



2(j) Redosled izvršavanja naredbi

Proces

Ovaj oblik podrazumeva da jedan proces može da počne samo kada nastane promena u nekom od signala koji se u vidu liste navode na početku deklaracije procesa.



Šta treba da znamo?

Ispitna pitanja

- a) Dodeljivanje vrednosti signalima u okviru procesa i arhitekture.
- b) Sinteksna pravila za opis procesa.